

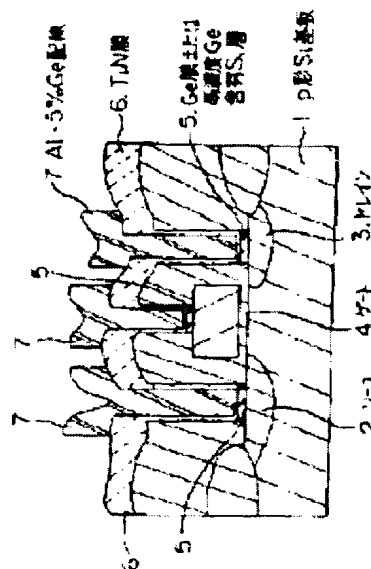
STRUCTURE OF SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Patent number: JP4196420
Publication date: 1992-07-16
Inventor: MIYAGAWA KUNIKO
Applicant: NIPPON ELECTRIC CO
Classification:
- international: **H01L21/28; H01L21/3205; H01L23/52; H01L21/02; H01L23/52; (IPC1-7): H01L21/28; H01L21/3205**
- european:
Application number: JP19900327067 19901128
Priority number(s): JP19900327067 19901128

Report a data error here

Abstract of JP4196420

PURPOSE:To reduce a contact resistance by forming a Ge film or a layer containing high concentration impurity of Ge, providing a barrier metal on this film and providing a metal wiring on the barrier metal. **CONSTITUTION:**A Ge film or a Si film 5 containing high concentration Ge is provided in the contact holes of the source 2, drain 3 and gate 4 of an N-channel MOSFET formed on a P-type Si substrate 1. A TiN film 6 is provided as a barrier metal on this Ge film or the film containing Ge. Moreover, a Al-Ge film 7 having the melting point lower than that of Al-Si film is provided as the buried wiring on the TiN film. Thereby a contact resistance between a metal and Ge film or Si film 5 containing high concentration Ge can be lowered.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-196420

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月16日

H 01 L 21/28

3 0 1 R

7738-4M

B

7738-4M

21/3205

7353-4M

H 01 L 21/88

R

7353-4M

N

審査請求 未請求 請求項の数 3 (全4頁)

⑮ 発明の名称 半導体装置の構造及び製造方法

⑯ 特 願 平2-327067

⑰ 出 願 平2(1990)11月28日

⑱ 発 明 者 宮 川 邦 子 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 岩佐 義幸

明 細 書

1. 発明の名称

半導体装置の構造及び製造方法

2. 特許請求の範囲

(1) Si半導体装置のコンタクトホール上にGe膜またはGeの不純物を高濃度に含有する層を有し、前記Ge膜またはGeの不純物を高濃度に含有する層上にバリアメタルを有し、前記バリアメタル上に金属配線を有することを特徴とする半導体装置。

(2) コンタクトホール形成後、Ge膜を形成する工程と、前記Ge膜上にバリアメタルの膜を形成する工程と、前記バリアメタル上に金属膜を溶融状態で形成して配線を行うことを特徴とする半導体装置の製造方法。

(3) コンタクトホールを形成後、バリアメタルの膜を形成する工程と、前記バリアメタルを通してGeをイオン注入する工程と、これを高温短時間アニールを行う工程と、前記バリアメタル上に金属膜を溶融状態で形成して配線を行うことを特

徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の構造及びその製造方法に関するものである。

(従来の技術)

高アスペクト比のコンタクトホールは、従来行われているAuのスパッタではコンタクトホールの埋め込みが不可能である。従って、キャリア濃度の高いポリシリコンをコンタクトホールに埋め込むか、または、高融点金属の選択埋め込みを行うことにより、コンタクトホールの埋め込み及びコンタクト抵抗の低減化をはかってきた。

(発明が解決しようとする課題)

ポリシリコンをコンタクトホールに埋め込む方法は、不純物濃度に固溶限界があるため、アスペクト比の高いコンタクトホールではコンタクト抵抗が高くなる。また、高融点金属をコンタクトホールに選択的に埋め込む方法は、コンタクト抵抗低減には有効であるが、高融点金属をコンタクト

ホール内に選択的に成長させると、Siとの界面でSiと高融点金属が反応し、コンタクトホールの周辺からさらに外側へシリサイド化した金属が拡がって、リークの原因となっていた。このリークを防ぐため、バリアメタル膜を形成後に高融点金属を成長させる方法もあるが、バリアメタルとSiの接触抵抗が高いため、コンタクト抵抗が高くなる問題があった。

本発明の目的は、このような問題点を解決した半導体装置の構造及びその製造方法を提供することにある。

〔問題を解決するための手段〕

本発明の半導体装置の構造は、

Si半導体装置のコンタクトホール上にGe膜またはGeの不純物を高濃度に含有する層を有し、前記Ge膜またはGeの不純物を高濃度に含有する層上にバリアメタルを有し、前記バリアメタル上に金属配線を有することを特徴とする。

本発明の半導体装置の製造方法は、

コンタクトホール形成後、Ge膜を形成する工

程と、前記Ge膜上にバリアメタルの膜を形成する工程と、前記バリアメタル上に金属膜を熔融状態で形成して配線を行うことを特徴とする。

また本発明の半導体装置の製造方法は、

コンタクトホールを形成後、バリアメタルの膜を形成する工程と、前記バリアメタルを通してGeをイオン注入する工程と、これを高温短時間アニールを行う工程と、前記バリアメタル上に金属膜を熔融状態で形成して配線を行うことを特徴とする。

〔作用〕

Geのバンドギャップ0.66eVは、Siのバンドギャップ1.12eVに比べ非常に小さいため、比抵抗もSiに比べ約4桁低く、従来のようにコンタクトホールに多結晶Siを埋め込んでいた場合に比べ、金属とGe膜またはGeを高濃度に含有したSi膜とのコンタクト抵抗は下がる。また、高融点金属の埋め込みのように、金属が直接に拡散層などのデバイス部分に接していないため、合金化を起こしてリークの原因となることも防げる作用

がある。Ge膜またはGe含有層上のバリアメタルは、さらにその上の配線材料となる金属膜を形成する際の、Ge膜またはGe含有層と金属の反応を防ぎ、リークを阻止する作用がある。上層の配線金属は、低融点金属を基板温度を上げて堆積することにより、コンタクトホールの埋め込みと平坦化を行う作用がある。

〔実施例〕

本発明の実施例について図を参照して説明する。

第1図は、本発明の半導体装置の一実施例の断面図である。

p形Si基板1上に形成されたnチャネルのMOSFETのソース2、ドレイン3、ゲート4のコンタクトホールに、膜厚500ÅのGe膜またはGeを高濃度に含んだSi層5を設けている。このGe膜またはGe含有層上に、厚さ200ÅのバリアメタルであるTiN膜6がある。TiN膜上に、Al-Siより低融点であるAl-5%Ge膜7を埋め込み配線として設けてある。

第2図は、本発明の半導体装置のコンタクト部

の一製造方法を示す断面図である。

ドライエッチングであけた開口部 $0.8 \times 0.8 \mu\text{m}^2$ 、高さ $0.7 \mu\text{m}$ のコンタクトホールにリンを固溶膜界まで拡散させたGe膜を、超高真空のガスソース分子線エピタキシー（ガスソースMBE）法によりコンタクトホール底部に選択的に500Å成長させる（第2図（a））。ガスは水素希釈ゲルマンを用い、ECRによるクラッキングを行った。基板温度は600℃、ガス圧は $5 \times 10^{-5} \text{Torr}$ である。

次に、スパッタによりTiN膜を1000Å堆積した（第2図（b））。このとき、ホールの側壁及び底部にはTiNが入り込みにくいため、その膜厚は約200Åである。その後、Geを5%含むAl-Ge合金7を1μmスパッタした（第2図（c））。Al-Ge合金は共晶温度がAl-Siに比べ低いため、基板温度300℃でリフロースパッタが行えた。その後、配線パターンを形成した。

第3図は、本発明の半導体装置のコンタクト部の別の一製造方法を示す断面図である。

〔発明の効果〕

本発明を用いれば、高アスペクト比のコンタクトホールを埋め込むことができる上、材料自身の抵抗も低く、また、金属とのオーミックコンタクトもとりやすいので、コンタクト抵抗の低減化をはかることができる。また、金属とソース・ドレインが直接接していないため、Si基板への金属の食い込みによるリークや、金属スパイクによる接合の破壊も起こらない。よって、将来の微細デバイスにおいて大きな問題となるとされている、コンタクト抵抗増大によるデバイスの劣化を改善することができる効果がある。

4. 図面の簡単な説明

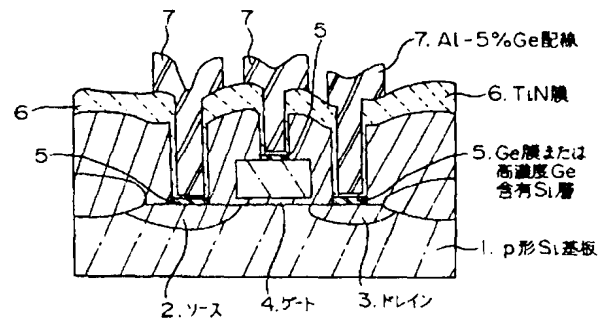
第1図は本発明の半導体装置の一実施例の構造を示す断面図、

第2図はその一製造方法を示す図、

第3図は別の一製造方法を示す図である。

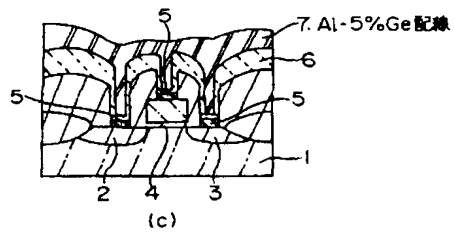
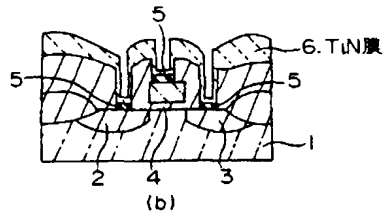
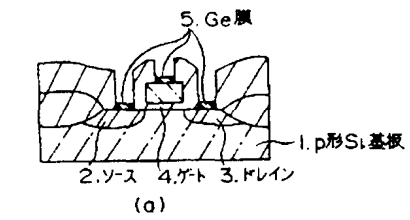
- 1・・・p形Si基板
- 2・・・ソース
- 3・・・ドレイン

- 4・・・ゲート
- 5・・・Ge膜または高濃度Ge含有Si層
- 6・・・TiN膜
- 7・・・Al-5%Ge配線

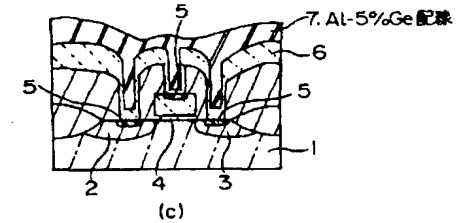
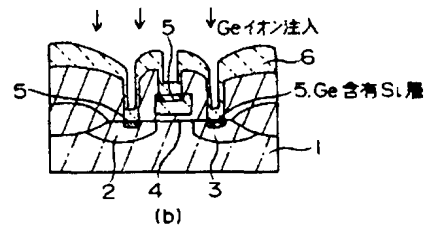
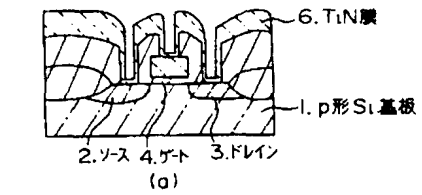


第1図

代理人 弁理士 岩佐 義 幸



第2図



第3図